

ACM32F4 和 F3 系列芯片定时器差异说明

1. 各个定时器之间的资源对比

芯片共包含 10 个定时器，其中一个高级定时器，7 个通用定时器，2 个基本定时器，TIM2 的计数位数为 32 位，其他定时器的计数位数为 16 位。TIM3 和 TIM4 的结构完全相同，TIM6 和 TIM7 的结构完全相同，TIM16 和 TIM17 的结构完全相同。当 $HCLK/PCLK > 1$ 时，定时器的内部时钟频率 = $PCLK * 2$ 。各个定时器之间的资源对比如表 1-1 所示。

表 1-1 定时器之间的资源对比

Timer 资源	TIM1	TIM2	TIM3 TIM4	TIM6 TIM7	TIM14	TIM15	TIM16 TIM17
位数	16	32	16	16	16	16	16
重复计数器	YES	NO	NO	NO	NO	YES	YES
外部时钟模式	外部时钟模式 1 和 2	外部时钟模式 1 和 2	外部时钟模式 1 和 2	NO	NO	外部时钟模式 1	NO
触发输出 TRGO	YES	YES	YES	YES	NO	YES	NO
从模式	YES	YES	YES	NO	NO	YES	NO
编码器模式	YES	YES	YES	NO	NO	NO	NO
通道数	4	4	4	0	1	2	1
输入捕获	YES	YES	YES	NO	YES	YES	YES
输出比较	YES	YES	YES	NO	YES	YES	YES
死区插入	YES	NO	NO	NO	NO	YES	YES
刹车输入	YES	NO	NO	NO	NO	YES	YES
霍尔电路	YES	YES	YES	NO	NO	NO	NO

2. 定时器互连

表 2-1 TIM1 从模式内部输入信号

TIM1 从模式的 ITRx	输入的信号
ITR0	TIM4_TRGO
ITR1	TIM2_TRGO
ITR2	TIM3_TRGO
ITR3	TIM17_OC1

表 2-2 TIM1 从模式外部输入信号

TIM1 ETR 输入	输入的信号
ETRSEL =00	PA12
ETRSEL =01	COMP1
ETRSEL =02	COMP2
ETRSEL =03	AWD

表 2-3 TIM1 刹车输入信号

TIM1 刹车功能输入	说明
CPU LOCKUP	CPU 发生 LOCKUP 后输出的高电平信号
SRAM Parity out	SRAM 奇偶校验错误输出的高电平信号
GPIO(PA6、PB12)	GPIO 输入的信号，需要配置成定时器 BREAK 输入功能，高低有效电平可配置
LVD	检测到低电压后输出的高电平信号
COMP1	比较器 1 输出的信号
COMP2	比较器 2 输出的信号

注意：有效刹车输入信号之间是逻辑或的关系。

表 2-4 TIM2 从模式内部输入信号

TIM2 从模式的 ITRx	输入的信号
ITR0	TIM1_TRGO
ITR1	TIM15_TRGO
ITR2	TIM3_TRGO
ITR3	TIM4_TRGO

表 2-5 TIM2 从模式外部输入信号

TIM2 ETR 输入	输入的信号
ETRSEL =00	PA0/5/15/PC4
ETRSEL =01	COMP1
ETRSEL =02	COMP2
ETRSEL =03	XTL (片外低速晶振输出时钟)

表 2-6 TIM3 从模式内部输入信号

TIM3 从模式的 ITRx	输入的信号
ITR0	TIM1_TRGO
ITR1	TIM2_TRGO
ITR2	TIM15_TRGO
ITR3	TIM4_TRGO

表 2-7 TIM3 从模式外部输入信号

TIM3 ETR 输入	输入的信号
ETRSEL =00	PD2
ETRSEL =01	COMP1
ETRSEL =02	COMP2
ETRSEL =03	AWD

表 2-8 TIM4 从模式内部输入信号

TIM4 从模式的 ITRx	
ITR0	TIM1_TRGO
ITR1	TIM2_TRGO
ITR2	TIM3_TRGO
ITR3	TIM15_TRGO

表 2-9 TIM4 从模式外部输入信号

TIM4 ETR 输入	输入的信号
ETRSEL =00	保留
ETRSEL =01	COMP1
ETRSEL =02	COMP2
ETRSEL =03	XTL (片外低速晶振输出时钟)

表 2-10 TIM15 从模式内部输入信号

TIM15 从模式的 ITRx	输入的信号
ITR0	TIM2_TRGO
ITR1	TIM3_TRGO
ITR2	TIM16_OC1
ITR3	TIM17_OC1

表 2-11 TIM15 刹车输入信号

TIM15 刹车功能输入	说明
CPU LOCKUP	CPU 发生 LOCKUP 后输出的高电平信号
SRAM Parity out	SRAM 奇偶校验错误输出的高电平信号
GPIO(PA9、PB8)	GPIO 输入的信号，需要配置成定时器 BREAK 输入功能，高低有效电平可配置
LVD	检测到低电压后输出的高电平信号
COMP1	比较器 1 输出的信号
COMP2	比较器 2 输出的信号

表 2-12 TIM16 刹车输入信号

TIM16 刹车功能输入	说明
CPU LOCKUP	CPU 发生 LOCKUP 后输出的高电平信号
SRAM Parity out	SRAM 奇偶校验错误输出的高电平信号

GPIO(PB5)	GPIO 输入的信号，需要配置成定时器 BREAK 输入功能，高低有效电平可配置
LVD	检测到低电压后输出的高电平信号
COMP1	比较器 1 输出的信号
COMP2	比较器 2 输出的信号

表 2-13 TIM17 刹车输入信号

TIM17 刹车功能输入	说明
CPU LOCKUP	CPU 发生 LOCKUP 后输出的高电平信号
SRAM Parity out	SRAM 奇偶校验错误输出的高电平信号
GPIO(PA10、PB4)	GPIO 输入的信号，需要配置成定时器 BREAK 输入功能，高低有效电平可配置
LVD	检测到低电压后输出的高电平信号
COMP1	比较器 1 输出的信号
COMP2	比较器 2 输出的信号

联系我们

公司：上海爱信诺航芯电子科技有限公司

地址：上海市闵行区合川路 2570 号科技绿洲三期 2 号楼 702 室

邮编：200241

电话：+86-21-6125 9080

传真：+86-21-6125 9080-830

Email: Service@AisinoChip.com

Website: www.aisinochip.com

版本维护

版本	日期	作者	描述
V1.0	2021-01-25	Aisinochip	初始版

本文档的所有部分，其著作权归上海爱信诺航芯电子科技有限公司（简称航芯公司）所有，未经航芯公司授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，航芯公司及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。